

【特許請求の範囲】

【請求項 1】 複数のバスプロトコルをサポートするランダムアクセス可能な共有バスを制御するための共有バスの制御装置において、

プロセッサから実行すべきバスプロトコルを指定するためのモード指定信号が出力されたときそのモード指定信号に対応したモード信号をセットするためのモード設定手段と、

前記複数のバスプロトコルの実行制御を行うためのバスプロトコルコントローラと、

前記モード設定手段にセットされたモード信号に応じたバスプロトコルを実行するバスプロトコルコントローラを選択するためのバスプロトコル選択手段と、

前記プロセッサによる前記モード設定手段へのモード信号の設定動作、及び前記選択されたバスプロトコルコントローラによるバスプロトコルの実行制御動作のタイミングを制御するための同期化手段と、

を備えたことを特徴とする共有バスの制御装置。

【請求項 2】 前記モード設定手段は、

予め定められたバスプロトコルを指定するモード信号が格納され、そのアドレスが前記モード指定信号として与えられたとき該当するモード信号を出力するための ROM と、

バスプロトコルを指定するモード信号とその格納アドレスが前記モード指定信号として与えられたときに前記モード信号を前記格納アドレスへ格納し、前記モード信号を出力するための RAM と、

バスプロトコルを指定するモード信号が前記モード指定信号として与えられたときに前記モード信号を格納し、そのモード信号を出力するためのレジスタと、

前記モード指定信号の一部として与えられた制御信号に応じて前記 ROM、RAM、もしくはレジスタの出力を選択して外部へ出力するためのマルチプレクサと、を備えたことを特徴とする請求項 1 記載の共有バスの制御装置。

【請求項 3】 前記バスプロトコルコントローラは、その終了制御がアクセス対象デバイスから返送されるレディ信号を受けて行われる非同期式プロトコル集合、ノーウェイト、1 ウェイトもしくは複数ウェイトでバスサイクルを完結する同期式プロトコル集合、及び 1 回のアクセスでデータブロックを転送する転送プロトコル集合の各々に対して少なくとも 1 つずつ設けられていることを特徴とする請求項 1 記載の共有バスの制御装置。

【請求項 4】 前記バスプロトコルコントローラの各々は、プロセッサがアクセスするアドレスを前記コントローラ内及び共有バス上にラッチするためのアドレスラッチ手段と、プロセッサがアクセスするデータを前記コントローラ内及び共有バス上もしくはプロセッサバス上にラッチするためのデータラッチ手段とを備えたことを特徴とする請求項 1 記載の共有バスの制御装置。

【請求項 5】 複数のバスプロトコルをサポートする共有バスを制御するための共有バスの制御方法において、前記各バスプロトコルの実行制御を行うためのバスプロトコルコントローラを設けておき、

プロセッサから共有バスを介してのデバイスへのアクセス時には、当該デバイスのアクセス可能なバスプロトコルを指定するための信号をプロセッサから出力して前記バスプロトコルコントローラから該当するものを選択し、該選択したバスプロトコルコントローラの制御により前記アクセスを実行するとともに、

前記プロセッサからの信号の出力とそれによる前記バスプロトコルの選択、及び選択されたバスプロトコルコントローラによるアクセス制御を同期化して実行することを特徴とする共有バスの制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、共有バスの制御方法とその装置に係り、特に接続されているデバイスの、バスプロトコルが複数個存在する共有バスの制御に適した共有バスの制御方法とその装置に関するものである。

【0002】

【従来の技術】従来、1 つの（共有）バス上で複数のプロトコルに対応できるようにしたバスシステムには、以下の例がある。まず、コンピュータシステムで使用されている ISA バスにおいては、バスに接続されたデバイスからプロセッサに返送されるレディ信号に応答して、バスサイクルの終了制御を行うという、非同期プロトコルでアクセスを行う。前記レディ信号が所定の時間内に返送されない場合は、その時点でプロセッサにレディ信号を返送してバスサイクルの終了制御を行う。アクセス対象デバイスが同期プロトコルのデバイスである場合も、前記所定の時間内にデータ伝送が完了すれば、同デバイスへのアクセスは可能である。

【0003】特開平 4-358256 号に示されている公知例では、同一 SCSI バス上に同期転送モードと非同期転送モードの双方の SCSI デバイスが接続され、各デバイスに定義されている協定情報（転送同期値、転送オフセット値）をリセット時に各デバイスから得、SCSI デバイスの番号ごとにホストバス制御回路のメモリにセットしておき、上記協定情報に記載されたプロトコルで、ホスト側から双方のデバイスに対してデータ伝送を行う。

【0004】特開平 8-44665 号に示される転送バスにおいては、同一バス上に同期プロトコル、非同期プロトコル、高速同期プロトコル、高速同期と同期プロトコル、高速同期と非同期プロトコルがサポートされているデバイスが接続される。各デバイスによってサポートされるプロトコルに依存しているような制御信号が存在し、この制御信号を利用してデバイス側からホスト側のバスコントローラへメッセージ信号を転送する。各プロ

トコルの切り換えは、デバイス側からの前記メッセージ信号に応答してバスコントローラがそれらのデバイスに対応するデータ転送プロトコルを選択し、決定することにより行う。また、プロトコルの選択は、データを転送する対象デバイスが、前記高速同期プロトコルと他のプロトコルをサポートしている場合、もしくはお互いに高速同期プロトコルをサポートしている場合は、これを優先する。

【0005】

【発明が解決しようとする課題】従来の、複数バスプロトコルをサポートできるようにした共有バスを持つプロセッサシステムは、種々のデバイスとのデータ伝送を容易に行えるという利点を有するが、次に示す問題がある。

(1) デバイスから返送されるコントロール信号を用いてバスプロトコルの選択を行うため、サポートするプロトコルの増加に伴い、コントロール信号もしくはバスの信号線の数が増加し、複雑なシステム構成になりハードウェア的に制限が生じること。

(2) バスプロトコル選択に必要な情報は、アクセス対象のデバイスが保有し、バスコントローラからのデバイス選択信号に応答して、デバイスから認識信号として返送される。従って、デバイスにアクセスし、データの伝送を行う毎にデバイスからの認識信号の応答を待つ時間が必要であること。

(3) プロセッサバスのクロックと共有バスのクロックが非同期で動作している為、同期化処理を行う為の遅れ時間があること。

【0006】上記した従来技術の問題点のうち、特に

(2) に示した時間は、プロセッサが1度のアクセスで伝送するデータ量に対しての比率が問題となる。例えばロボットコントローラ等の制御装置の分野においては、環境の変化に対して高速に反応できる実時間制御が要求されている。そのためには、センサからの入力データに対して情報処理演算を行い、制御対象に対して出力を行うまでの入出力時間、すなわちシステム全体のスループットの短縮が重要課題である。このような装置では、あるセンサにより検出され格納されている単一データへのアクセスや、同様に、制御対象から出力され格納されている単一データへのアクセスが頻繁に生じる。このように、プロセッサが1度のアクセスで1つのアドレスに対応する所定サイズデータの伝送しか行わないランダムアクセスの場合には、(2)の問題はデータ伝送の高速化に関して致命的問題である。

【0007】本発明の目的は、複数のプロトコルをサポートし、かつプロトコルの選択と切り換えのためのオーバーヘッドが少なく、高速なランダムアクセスが可能な共有バスの制御方法とその装置を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するた

めに、本発明は、複数のバスプロトコルをサポートするランダムアクセス可能な共有バスを制御するための共有バスの制御装置において、プロセッサから実行すべきバスプロトコルを指定するためのモード指定信号が出力されたときそのモード指定信号に対応したモード信号をセットするためのモード設定手段と、前記複数のバスプロトコルの実行制御を行うためのバスプロトコルコントローラと、前記モード設定手段にセットされたモード信号に応じたバスプロトコルを実行するバスプロトコルコントローラを選択するためのバスプロトコル選択手段と、前記プロセッサによる前記モード設定手段へのモード信号の設定動作、及び前記選択されたバスプロトコルコントローラによるバスプロトコルの実行制御動作のタイミングを制御するための同期化手段と、を備えたことを特徴とする共有バスの制御装置を開示する。

【0009】また、本発明は、複数のバスプロトコルをサポートする共有バスを制御するための共有バスの制御方法において、前記各バスプロトコルの実行制御を行うためのバスプロトコルコントローラを設けておき、プロセッサから共有バスを介してのデバイスへのアクセス時には、当該デバイスのアクセス可能なバスプロトコルを指定するための信号をプロセッサから出力して前記バスプロトコルコントローラから該当するものを選択し、該選択したバスプロトコルコントローラの制御により前記アクセスを実行するとともに、前記プロセッサからの信号の出力とそれによる前記バスプロトコルの選択、及び選択されたバスプロトコルコントローラによるアクセス制御を同期化して実行することを特徴とする共有バスの制御方法を開示する。

【0010】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態を詳細に説明する。図1は、本発明の特徴とするバスプロトコルコントロールユニットの構成例を示すブロック図で、共有バス1に接続された図示しないデバイスと、プロセッサバス2に接続されたプロセッサ3との間で、ランダムアクセスによるデータ伝送、あるいは所定の大きさを有するデータブロックの転送が行われる。バスプロトコルコントロールユニット4は、各デバイスが異なるバスプロトコルをサポートしているのに対応したデータ伝送を実現するための回路で、図1では大きく分類して3種類のバスプロトコルに対応する為に、3個のバスプロトコルコントローラ401、402、403を有している。以下、図1の主要な部分を順次説明する。

【0011】まず、プロセッサバス2は、アドレス/コマンドバス201とデータバス202より構成され、アドレス/コマンドバス203及びデータバス204を介してプロセッサ3と接続される。プロセッサバス2には、図示は省略したが、例えばROMやRAMなどのメモリに代表されるプロセッサ直結のデバイスが接続され

ることもある。共有バス1は、アドレス/コマンドバス101及びデータバス102より構成される。前述したように、共有バス1はランダムアクセスが可能なバスで、プロセッサ3から指定した1つのアドレスに対応して、バスプロトコルコントロールユニット4を介して1つのデータの読み書きが可能である。

【0012】バスプロトコルコントロールユニット4は、複数のバスプロトコルをサポートするため、3個のブロックから成る、ハードウェア構成のバスプロトコルコントローラ401～403を有している。このうち、バスプロトコルコントローラ401は転送プロトコルを、バスプロトコルコントローラ402は同期プロトコルを、さらにバスプロトコルコントローラ403は非同期プロトコルを各々サポートするものとする。

【0013】ここで同期プロトコルでは、データ伝送動作としてデータを書き込む側のプロセッサもしくはデバイスが共有バス1にデータを置き、そのデータが安定すると、次にデータを読み込む側のプロセッサもしくはデバイスがそのデータを読み込むが、これらの動作はバスクロックに同期したバスサイクルが所定のクロック数後に終了するまでに完結しなければならない。そして上記バスサイクルの同期は各デバイスのデータ入出力時間に大きく依存し、バスサイクルを全く引き延ばさない完全なノーウェイト、データブリフエッチ処理によりバス占有時間を短縮したデータラッチ方式のノーウェイト、リードのみ1サイクル引き延ばす1ウェイト、リード/ライト共に1サイクル引き延ばす1ウェイト、さらに同様な複数サイクルを引き延ばす複数ウェイト等がある。

【0014】非同期プロトコルは、共有バス1に接続されているプロセッサ、もしくはデバイスから、バスサイクルを制御するバスプロトコルコントロールユニット4へ、データを読み込むかもしくは書き込む準備が整ったことを知らせるバスレディ信号60を伝送し、これが非同期プロトコルをサポートするバスプロトコルコントローラ403へ入力される。バスプロトコルコントローラ403は、このバスレディ信号60にตอบสนองしてバスサイクルの終了制御を行う。この場合、例えば非同期プロトコルの集合を1つの回路ブロックにまとめることで、レディ信号線は1本で良い。この様に、類似する複数のバスプロトコル機能を1つの回路ブロックにまとめ、そのバスプロトコル制御回路を1つまたは複数備えたことにより、回路が複雑になることを防ぎ、その規模を小さくできる。

【0015】転送プロトコルはSCSIバスやバースト転送方式のように、まとまったデータを転送するもので、バスクロックに同期した処理が行われる点では同期プロトコルに類するが、あるデバイスの複数データのブロックを同一のデバイスもしくは別のデバイスのブロックへ転送する場合、効率を上げる目的で使用される。通常の単一データのアクセスでは、1データ伝送に先立っ

て、プロセッサが命令をフェッチするサイクルが必要であるが、転送プロトコルは、命令フェッチがブロック伝送に対して1回のみ発生する転送専用命令、もしくはループ命令を用いて命令フェッチ処理の並列化が行われるので、バスアクセスの高速化が可能である。転送バスを用いると、ランダムアクセスバスの様に単一データのアクセスはできないが、図1のように、転送プロトコル用のバスプロトコルコントローラ401を設けることで、ランダムアクセスバスにおいて転送バスの様にデータ集合の高速伝送が可能である。

【0016】さらに上記に共通するプロトコルフォーマットとして、各デバイス間で1度に伝送されるデータサイズのフォーマットがある。このデータサイズは、デバイスのハードウェアとバスのハードウェア構成で決定される。伝送するデバイス間とバスが異なるサイズであり、かつ一度に使用するバスのサイズを切り換える場合、サイズを指定するためのコントロール信号が必要となる。この場合、下位のアドレスに対応する信号線はアドレスバス信号の代わりにバイトイネーブル信号と呼ばれるコントロール信号を用いることがある。しかし、図1のバスプロトコルコントロールユニットにおいては、後述するプロトコルのモード信号によって、決定しても良い。

【0017】以上に示した各プロトコルのうち、アクセスを高速に処理すべき要求があるときには、同期プロトコルが用いられ、アクセス時間が不定のデバイスとのアクセスは、非同期プロトコルが用いられる。従って、同一デバイスであっても条件と状況にしたがって、高スループットの得られるプロトコルを選択し、それをサポートするバスプロトコルコントローラを用意すればよい。

【0018】使用すべきバスプロトコルの選択は、前記したバスプロトコルコントローラを選択することで実現される。このために、本発明では、使用したいバスプロトコルを指定するためのモード信号31（と必要なときにはアドレス62）をプロセッサ3から出力してモードレジスタ5に書き込む。図2は、このために用いるモードレジスタ5の構成例を示しており、ROM501、RAM502、レジスタ503、マルチプレクサ504、ラッチ505等より構成されている。ROM501には通常使用するプロトコルを指定するモード信号を書き込んでおく。そうすると、ROM化したものは、電源投入時から使用できるので、プロセッサ3からアドレス62を与えることで、自動的にバスプロトコルが決定される。この場合、プロセッサ3とバスプロトコルコントロールユニット4が直結されて、プログラムを共有バス1よりロードする場合にも用いることができる。またRAM502もROM501と同様にそのアドレスを指定することで所望のモード信号を読み出せるが、このモード信号を、プロセッサ3よりデータ31として変更可能であるところが異なる。また、レジスタ503には、プロ

セッサ3からデータ31を与えることで、アドレス指定無しに直接バスプロトコルを指定できる。これは、対象デバイスにアドレスを発行する直前に、次に使用するプロトコルを直接指定したいときに用いる。そして、上記ROM501、RAM502あるいはレジスタ503のいずれを用いるかは、プロセッサ3から指定したデコーダ/コマンド6からのセレクト信号63によってマルチプレクサ504で決定され、その出力はモード信号64としてラッチ505に保持される。ここで、モードレジスタ5の各回路は、デコーダ・コマンド6から与えられるモードラッチパルス68に同期して動作する。なお、ラッチ505は、バスプロトコルコントロールユニット4内のタイミングコントロールされたラッチ404を用いてもよい。

【0019】以上のように、プロトコルの切り換えには、デバイスとのデータ授受によるバスプロトコルの設定という処理が不要となるから、バスプロトコルの設定が高速化される。しかし、それでも多少の設定時間を要するから、非同期デバイスであっても同期プロトコルでアクセスした方が高速になるときは、同期プロトコルを用いるのがよい。この場合のレディ信号60は同期プロトコルでは無視される。

【0020】次に、本装置のタイミングのコントロールについて述べる。このタイミングのコントロールは、以下の3つのフェーズで行われる。

(I) モード信号を設定するとき

モード信号を設定するときのタイミングコントロールは、図1のマシンステートコントローラ7により行われる。即ちマシンステートコントローラ7は、クロック65とプロセッサ3からのマシンステート信号66から、プロセッサのバスサイクル状態を検出し、デコーダ/コマンド6へ信号67を送る。そうするとデコーダ/コマンド6からモードレジスタ5へのモードラッチパルス68を出力し、バスサイクルが完結しているとき以外はモード信号が切り換わらないように管理している。

【0021】(II) バスプロトコルを切り換えるとき
前記モード信号に対応したバスプロトコル機能の切り換えは、バスプロトコルコントローラ401~403の内の、所望のバスプロトコルをサポートするものがモード信号64によって選択され、バスプロトコルコントローラの出力信号がセクタ405により選択され、プロトコルコントロール信号69として出力されることにより行われる。このプロトコルコントロール信号69は、具体的には、アドレス70の出力、アービトレーション信号71の入出力、バスレディ信号60の入力、データ信号32の入出力の管理を行う。

【0022】(III) バスプロトコルの動作とモード切り換え動作との同期化の管理

この管理は、バスモード/タイミングコントローラ406が、デコーダ/コマンド6からのバスアクセスイネー

ブル信号72、マシンステートコントローラ7と同様に動作するマシンステートコントローラ407からのマシンステート信号73、及びモード信号64、バスプロトコルコントローラからのバスプロトコルステート信号80を受け取り、バスプロトコルタイミング信号74、前記セクタ405を切り換えるためのセレクト信号75、ラッチ信号76、及びプロセッサ3へのバスアクセスレディ信号77を出力することにより行う。さらに、マシンステートコントローラ407から出力されるマシンステート信号73、78によって、それぞれプロセッサのバスサイクルとモード切り換え動作、プロセッサのバスサイクルとバスプロトコルの動作の間のタイミングを適正に管理する。

【0023】次に、上記した構成のバスプロトコルコントロールユニットの動作を説明する。図1のシステムに於て、共有バス1に接続されたデバイスへアクセスするときには、まずプロセッサ3からモード信号31、アドレス信号62をモードレジスタ5へ出力し、図2で説明したようにしてモードレジスタ5から出力されるモード信号64を設定する。この設定に当たっては、前記のようにマシンステートコントローラ7が、プロセッサバス2のバスサイクル完了を検知した後にモード信号の設定が行われるように制御することで、バスプロトコル切り換えの同期がとられている。バスモード/タイミングコントローラ406は、前記のようにモード信号64、マシンステート信号73、バスアクセスイネーブル信号72、及びバスプロトコルステート信号80を入力として、バスプロトコルタイミング信号74及びセレクト信号75を出力し、モード信号64対応のバスプロトコルコントローラの出力をマルチプレクサ405で選択し、また各種ラッチへのラッチ信号76及びプロセッサ3へのバスアクセスレディ信号77を出力する。また、図には示していないが、バスレディ信号60は、バスプロトコルステート信号80の一種である為、直接バスモード/タイミングコントローラ406へ入力してもよい。

【0024】バスアクセスレディ信号77を受けたプロセッサ3は、アクセス対象へのアドレス/コマンド79を出力し、これはバスプロトコルコントロールユニット4内のアドレスラッチ/キュー408へラッチ信号76によりラッチされ、プロトコルコントロール信号69によりタイミング管理が行われて共有バス1へのアドレス/コマンド70として出力される。またプロセッサ3からデータを出力するときは、そのデータ33がラッチ信号76によりデータラッチ/キュー409へラッチされ、プロトコルコントロール信号69によりタイミング管理が行われてデータ32として共有バス1へ出力される。プロセッサ3へデータを取り込むときはそのデータ32がラッチ信号76によりデータラッチ/キュー410へラッチされ、データバス202を介してプロセッサ3へ入力される。

【0025】以上の動作に於て、本発明のバスプロトコルコントロールユニットを用いると、複数種のバスプロトコルをサポートするのに、従来のようにデバイスと情報のやり取りをする必要がなく、プロセッサから直接指定できる。このためにバスプロトコルの設定を高速化できる。この場合、モード信号61をプロセッサ3から書き込むには、設計者及び開発者は、実行プログラム中にコーディングを行うか、モニタシステムなどで直接コードを実行させる等すればよく、容易にバスプロトコルの選択が可能となる。設計者及び開発者は、共有バス1に接続されたアクセス対象となるデバイスに対し、アクセス時の状況やデバイスの特性に対応した適正なバスプロトコルを周知していることが多く、状況に応じたプロトコルの選択を設計者及び開発者が逐次行えることは、有利である。

【0026】また、図1に示すバスプロトコルコントロールユニット4には、前述のようにアドレスラッチ/キュー408、データラッチ/キュー409、410が設けられており、プロセッサ3が共有バス1上のデバイスにアクセスするとき、共有バス1で実行されるプロトコルに関係なく、所定のプロトコルでバスプロトコルコントロールユニット4にアクセスする。そしてバスプロトコルコントロールユニット4では、アドレス、データを上記のラッチ408～410へラッチすると、プロセッサ3に対しては早急にバスアクセスレディ信号77を返送するので、共有バス1上ではデータの伝送中であっても、プロセッサ3は次の処理動作が可能となる。すなわち、アドレスおよびデータのラッチもしくはキューの機能をユニット4に設けることで、プロセッサに対して動作の遅いデバイスがプロセッサを待たせることをなくし、プロセッサはすぐに次の命令の実行ができ、バスアクセスによるプロセッサの待ち時間をさらに短縮することができる。こうして複数のバスプロトコルがサポート可能でデータ伝送の効率がよく、共有バスを介しての高速なランダムアクセスが容易なシステムが実現できる。

【0027】また、バスプロトコルの動作とモード切り換え動作とを管理する同期化手段を備えることにより、プロトコルの切り換えを連続的にスムーズに行うことができる。これにより、アクセス時の状況やデバイスの特性に対応した適正なバスプロトコルによるアクセスが、プロトコル切り換え時のロスを伴わずに実現できる。また、バスプロトコルコントロールユニット4のデータラッチ/キュー409、410とプロセッサ3のデータバス202との間にゲート411、412を介在させることにより、メモリ間のデータ伝送にプロセッサのレジスタを使用しない、高速のメモリ間伝送機能を持つプロトコルをサポートすることもできる。

【0028】なお、共有バス1が複数のプロセッサにより共有される場合、共有バスの使用権が1度に1つのプロセッサのみに与えられるようにするため、その調停回

路であるバスアービタ8が設けられている。バスプロトコルコントロールユニット4、4'等は、自ユニットを介して共有バス1へアクセスするとき、まずバスの使用権を要求するリクエスト信号80（アービトレーション信号の1つ）をバスモード/タイミングコントローラ406からバスアービタ8へ出力する。これに対してアービタ8からバス使用権を許可するバスアクリッジ信号81が返送されると、そのバスプロトコルコントロールユニット4または4'は共有バス1を占有できる。

【0029】また、図1で示したバスプロトコルコントロールユニットは1チップLSIとして構成可能で、従来のメモリ素子に対するメモリコントローラのように、デバイスごとのインタフェースコントローラとして用いることができる。また、本発明のバスプロトコルコントロールユニットは、1プロセッサに対して1つ用いるだけで、特別なシーケンサやコントローラは必要なく、共有バスに直接接続したあらゆるデバイスのコントロールが可能である。

【0030】

【発明の効果】本発明によれば、共有バスに接続されたデバイスが異なるバスプロトコルを有していても、高速かつランダムにアクセスが可能になる。また、バスプロトコルの動作とモード切り換え動作とを管理する同期化手段を備えることにより、プロトコルの切り換えを連続的にスムーズに行うことができ、これにより、アクセス時の状況やデバイスの特性に対応した適正なバスプロトコルによるアクセスが、プロトコル切り換え時のロスを伴わずに実現できる効果がある。

【図面の簡単な説明】

【図1】本発明の特徴であるバスプロトコルコントロールユニットの構成例を示すブロック図である。

【図2】本発明のモードレジスタの構成例を示すブロック図である。

【符号の説明】

- 1 共有バス
- 2 プロセッサバス
- 3 プロセッサ
- 4、4' バスプロトコルコントロールユニット
- 5 モードレジスタ
- 6 デコーダ/コマンド
- 7 マシンステートコントローラ
- 31 モード信号
- 32、33 データ
- 60 バスレディ信号
- 62 アドレス
- 63 セレクト信号
- 64 モード信号
- 65 クロック
- 66、67 マシンステート信号
- 68 モードラッチパルス

11

69	プロトコルコントロール
72	バスアクセスイネーブル信号
73	マシンステート信号
74	バスプロトコルタイミング信号
75	セレクト信号
76	ラッチ信号
77	バスアクセスレディ信号
79	アドレス
80	バスプロトコルステート信号
407	マシンステートコントローラ
408	アドレスラッチ/キュー

12

* 401、402、403 バスプロトコルコントローラ

406 バスモード/タイミングコントローラ

405 マルチプレクサ

409、410 データラッチ/キュー

404 モードラッチ/キュー

501 ROM

502 RAM

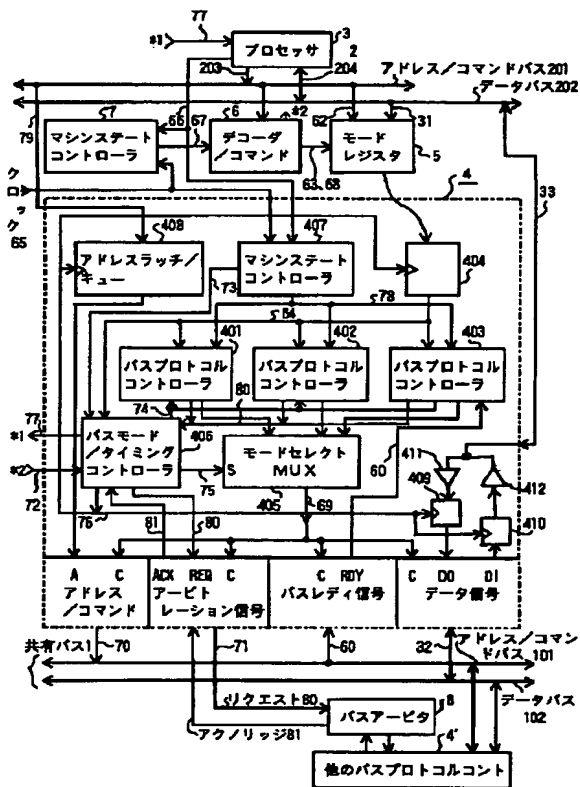
503 レジスタ

504 マルチプレクサ

0 505 ラッチ

*

【図 1】



【図2】

